



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N.

MI2002 A 002784



*Si dichiara che l'unità copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Rott.

18 FEB. 2004

IL DIRIGENTE

Elena Marinelli

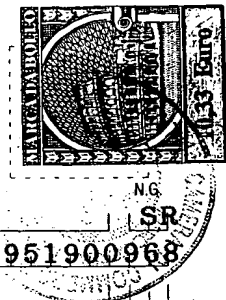
Sig.ra E. MARINELLI

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l. codice 00951900968
Residenza Agrate Brianza (Milano)
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome ZAMBARDINO Umberto e altri cod. fiscale _____
denominazione studio di appartenenza Botti & Ferrari S.r.l.
via Locatelli n. 15 città Milano cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____/_____/_____

Processo per la fabbricazione di celle di memoria non volatile su di un substrato semiconduttore.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/_____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) CLEMENTI Cesare 3) BALDI Livio
2) PAVAN Alessia 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____
2) _____

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 27 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2) 2 PROV n. tav. 08 disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3) 1 RIS lettera d'incarico, procura e riferimento a procura generale
Doc. 4) 0 RIS designazione inventore
Doc. 5) 0 RIS documenti di priorità con traduzione in italiano
Doc. 6) 0 RIS autorizzazione o atto di cessione
Doc. 7) 0 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

8) attestati di versamento, totale Euro EURO duecentonovantuno/80 obbligatorioCOMPILATO IL 30/12/2002 FIRMA DEL(I) RICHIEDENTE(I) ZAMBARDINO UmbertoCONTINUA SI/NO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANO codice 15VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A 002784 Reg. A.L'anno DUEMILADUE, il giorno TRENTA, del mese di DICEMBREil(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

timbro
dell'UfficioL'UFFICIALE ROGANTE
R. SCIOGLIO

REG. A

DATA DI DEPOSITO

30 12 2002

NUMERO BREVETTO

DATA DI RILASCIO

U / U / U

D. TITOLO

Processo per la fabbricazione di celle di memoria non volatile su di un substrato semiconduttore.

L. RIASSUNTO

E' descritto un processo per fabbricare celle (1) di memoria non volatile su un substrato (2) semiconduttore avente aree attive delimitate da porzioni di uno strato isolante (FOX) e su cui viene formato uno strato sottile (3) di ossido di tunnel e poi depositato un primo strato (4) di materiale conduttore caratterizzato dal fatto di definire una pluralità di regioni di gate flottante (FG) formando strisce (10,18) di materiale schermante solo al disopra di coppie di aree attive alternate, definendo dei distanziatori (12) di un materiale selettivo rispetto al materiale schermante e di ampiezza piccola a piacere a ridosso delle pareti laterali delle strisce così definite, depositando un materiale schermante (13,19) anche sulle aree attive che ne erano prive e completando la formazione delle floating gate lasciando ai distanziatori (12) la definizione della distanza tra le regioni di gate flottante.

M. DISEGNO

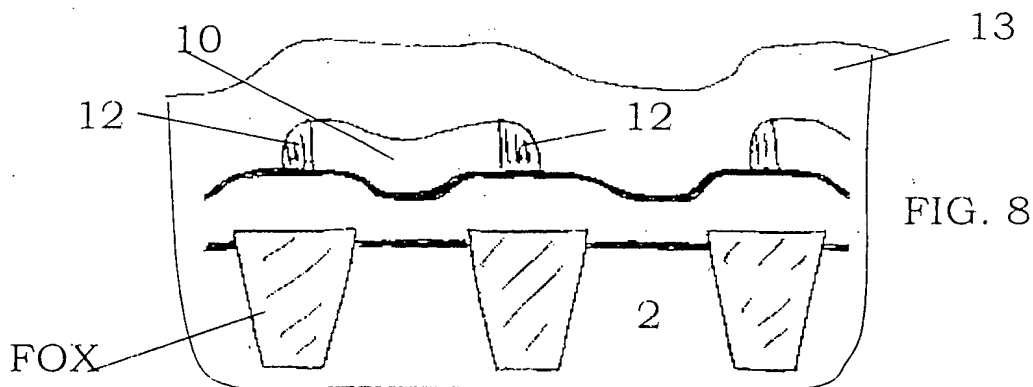


FIG. 8

Domanda di brevetto per invenzione industriale dal titolo:

**"Processo per la fabbricazione di celle di memoria non volatile su di
un substrato semiconduttore"**

a nome: **STMicroelectronics S.r.l.**

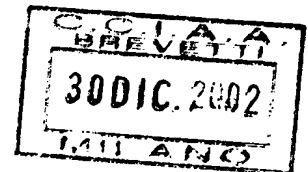
MI 2002 A 0 0 2 7 8 4

5 con sede in: **Agrate Brianza (Milano)**

DESCRIZIONE

Campo di applicazione

La presente invenzione fa riferimento ad una cella di memoria non volatile comprendente strati dielettrici a bassa costante dielettrica.



10 In particolare, la presente invenzione riguarda un processo per fabbricare celle di memoria non volatile su un substrato semiconduttore, comprendente le seguenti fasi:

- formare aree attive in detto substrato semiconduttore, delimitate da porzioni di uno strato isolante;

15 - depositare un primo strato sottile di ossido di tunnel ed un primo strato di materiale conduttore su dette aree attive;

- definire una pluralità di regioni di gate flottante (FG).

20 L'invenzione riguarda in particolare, ma non esclusivamente, una cella di memoria non volatile di tipo Flash comprendente strati dielettrici a bassa costante dielettrica e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Tecnica nota

25 Come è ben noto, i dispositivi elettronici di memoria Flash EEPROM integrati su semiconduttore comprendono una pluralità di

celle 1 di memoria non-volatili organizzate a matrice; vale a dire che le celle sono organizzate secondo righe, dette word lines WL, e colonne, dette bit lines BL come mostrato in figura 1a.

Ciascuna cella 1 non volatile comprende un transistor MOS a gate flottante come mostrato in figura 1b. La regione FG di gate flottante del transistor a gate flottante è realizzata al di sopra della regione CH di canale realizzata nel substrato semiconduttore 2 e separata da quest'ultimo tramite un sottile strato 3 di ossido di tunnel (tunnel oxide), spesso tra 6 e 12 nm. Una regione CG di gate di controllo (control gate) è accoppiata capacitivamente alla regione FG di gate flottante tramite un unico strato 7 dielettrico (ad esempio un ossido) oppure tramite la sovrapposizione di più strati dielettrici ad esempio del tipo ONO (ossido/nitruro/ossido).

Nelle figure 1b e 1c vengono anche mostrate in scala ingrandita le sezioni su un piano verticale di una cella lungo la lunghezza L e la larghezza W di canale.

Le altre regioni del transistor sono i consueti terminali di drain D, source S, e di body. Elettrodi metallici sono previsti per contattare terminali di drain, source e regione CG di gate di controllo al fine di poter applicare predeterminati valori di tensione alla cella 1 di memoria.

La carica immagazzinata nella regione FG di gate flottante determina lo stato logico della cella 1 modificandone la tensione di soglia: caratteristica fondamentale della cella 1 di memoria e' infatti di avere due stati, uno con tensione di soglia bassa (cella "cancellata") e

uno con tensione di soglia alta (cella "scritta"). La tensione viene applicata dall'esterno alla regione CG di control gate, ma l'elettrodo che controlla effettivamente lo stato del canale è la regione FG di floating gate.

- 5 La tensione della regione FG di gate flottante non dipende solo dalla tensione della regione CG di control gate, ma anche dai potenziali di source, drain e bulk, secondo questa relazione:

$$V_{FG} = \frac{Q_{FG}}{C_{TOT}} + \sum_{i=S,B,D,G} \alpha_i \cdot V_i$$

Dove:

10

$$\alpha_i = C_i / C_{TOT} < 1 \quad C_{TOT} = \sum_{i=S,B,D,G} C_i$$

Nel calcolo dei rapporti capacitivi i condensatori si approssimano a condensatori aventi piatti piani e paralleli, quindi:

15

$$\alpha_G = \frac{C_G}{C_{TOT}} = \frac{1}{\left(1 + \frac{W}{W+A} \cdot \frac{t_{ONO}}{t_{ox}}\right)}$$

$$\alpha_{S,B,D} = \frac{C_{S,B,D}}{C_{TOT}} = \frac{\frac{L_{S,B,D}}{L}}{\left(1 + \frac{W+A}{W} \cdot \frac{t_{ox}}{t_{ONO}}\right)}$$

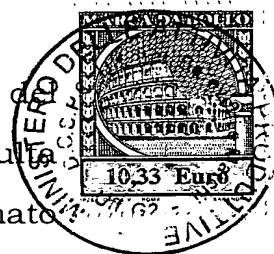
dove: Qfg = carica totale immagazzinata nella FG; Ctot =

capacita' totale relativa alla FG, pari alla somma delle capacita' parziali relative all'i-esimo elemento; α_i = coefficiente di accoppiamento capacitivo della FG con l'i-esimo elemento; V_i = tensione dell'i-esimo elemento; A = lunghezza totale della sovrapposizione tra FG e ossido di isolamento (FOX); t_{ONO} = spessore del dielettrico interpoly (7) t_{ox} = spessore dell'ossido di tunnel (3) L_i = lunghezza elettrica efficace della regione di sovrapposizione tra FG e i-esimo elemento, ove i puo' assumere i valori di S= source, B=body, D=drain, G=gate e W= larghezza di canale.

10 Da queste relazioni si deduce l'importanza della forma e del profilo della regione FG di gate flottante. In particolare, risulta necessario che tale regione si estenda sull'ossido di campo FOX formato nel substrato semiconduttore 2 in modo da protrudere da esso formando alette indicate con "A" nella figura 1c. La funzione delle alette
15 A e' quella di rendere la capacita' fra i due poly (C_g) preponderante rispetto alle altre e di avere un controllo del canale da parte della regione CG di control gate. La dimensione dell'aletta A influenza inoltre il valore di accoppiamento capacitivo di gate (α_g): una diminuzione di questo parametro ha un pesante impatto sulla performance della cella
20 in termini di tempo di programmazione e di cancellazione.

L'estensione dell'aletta A costituisce quindi un parametro critico della geometria della cella. Un altro parametro critico è anche costituito dalla dimensione della spaziatura (spacing) fra due regioni FG di gate flottante consecutive indicata con "H" nella figura 1c.

25 Un flusso di processo noto per realizzare tali celle di memoria



Flash 1 integrate su un substrato semiconduttore 2 è mostrato schematicamente nelle figure da 2 a 5. In tali figure vengono mostrate delle viste in sezione verticale in una direzione parallela alle "Word Lines".

5 Tale processo noto prevede la formazione nel substrato di una pluralità di aree attive nelle quali saranno realizzate le celle di memoria separate tra loro da porzioni di uno strato di ossido di campo FOX. Sul substrato 2 vengono quindi formati un primo strato di dielettrico 3 denominato "Ossido di Tunnel" e uno strato 4 di silicio policristallino
10 detto POLY1.

 Questo strato 4 di silicio policristallino dello spessore di circa 50-150 nm viene ad esempio formato mediante LPCVD (Low Pressure Chemical Vapor Deposition). Questo strato 4 di silicio policristallino viene eventualmente drogato per ridurne la resistività, ad esempio con
15 un impianto di fosforo o di arsenico oppure in situ aggiungendo un materiale opportuno, ad esempio fosfina, all'ambiente di deposizione.

 Il processo prosegue con la definizione dello strato 4 per realizzare una pluralità di strisce 5 di silicio policristallino tra loro parallele. Tali strisce 5 sono separate ed isolate dal substrato 2
20 mediante lo strato di ossido 3 come mostrato in figura 4.

 In particolare, in questa fase uno strato 6 di materiale fotosensibile chiamato resist viene depositato sulla superficie dello strato 4 di silicio policristallino e viene esposto con una opportuna radiazione in predeterminate zone non protette da una maschera. Le porzioni di resist
25 selettivamente esposte alla radiazione hanno una velocità di rimozione

maggiore rispetto alle zone non esposte e quindi possono essere rimosse tramite una soluzione chimica detta sviluppatore (figura 3). Dopo la definizione litografica si procede con un attacco dry delle strisce 5 di silicio policristallino per definire le regioni FG di gate flottante (figura 5).

5 Dopo aver depositato uno strato 7 dielettrico interpoly, il flusso di processo standard continua con la definizione delle "Word Lines" mediante la formazione di uno strato 8 di silicio policristallino (detto Poly2).

10 Le "Word Lines" vengono quindi definite attraverso un processo fotolitografico che prevede l'uso di una maschera di resist in modo che tali word lines siano disposte perpendicolarmente alle strisce 5 di polisilicio.

15 Pur vantaggioso sotto vari aspetti, questo flusso di processo presenta vari inconvenienti. Infatti, il trasferimento litografico del pattern dalla maschera è altamente critico e pone dei limiti alla riduzione dello spacing fra due strisce consecutive 5 di silicio policristallino.

20 Una difficoltà consiste nel risolvere strutture di dimensioni inferiori rispetto alla lunghezza d'onda usata nell'esposizione (generalmente 248 nm o 193 nm). Inoltre, la luce trasmessa attraverso lo strato di fotoresist viene riflessa dal substrato generando fenomeni di interferenza che causano una degenerazione del pattern trasferito dalla maschera. Normalmente, per ridurre la quantità di radiazione riflessa viene utilizzato un materiale antiriflettente (BARC) che viene depositato in
25 forma di strato al di sotto dello strato 6 di resist e che viene rimosso

durante l'attacco delle strisce 5 di silicio policristallino.

I fenomeni di interferenza che causano la degenerazione del pattern trasferito dalla maschera possono essere ridotti anche deponendo uno strato di ossido sopra allo strato 4 di silicio policristallino, che viene poi rimosso con un attacco a secco (dry) o con
5 una soluzione di attacco finale (processo cosiddetto di "hard mask").

Sono stati sviluppati diversi processi nella tecnica nota con l'intento di migliorare la definizione del pattern e con ciò ridurre lo spacing fra regioni di gate flottante consecutive.

10 Un processo noto prevede l'utilizzazione di una maschera cosiddetta "phase shift" (PSM). Tale maschera è provvista di uno strato aggiuntivo chiamato phase-shifter collocato ai bordi delle strutture disegnate che permette di invertire la fase della luce che lo attraversa mentre allo stesso tempo interferisce in modo distruttivo con la luce che
15 passa attraverso le zone scoperte. In questo modo si aumenta la risoluzione delle strisce sottili. Nonostante questo processo consenta di migliorare la definizione litografica della regione di gate flottante, esso risulta piuttosto complesso e costoso da implementare. Inoltre, tale processo non consente di realizzare aperture nello strato di silicio
20 policristallino di dimensioni inferiori a 140 nm +/- 10 nm con la litografia 248 nm e di 115 nm +/- 10 nm con la litografia 193 nm, e soffre della mancanza di un adeguato livello di controllo e ripetibilità intra-die e intra-wafer.

25 Un altro processo noto consiste nella definizione di strutture di dimensione controllata, quali ad esempio spaziatori (spacers) simili a

quelli usati nella definizione dei transistori di tipo LDD in un materiale sacrificale (o più adeguatamente in una combinazione di materiali sacrificali) deposto sopra lo strato di silicio policristallino (poly1) da definire per formare la regione di gate flottante. Allineando l'attacco a questi spaziatori si ottengono dimensioni inferiori a quelle permesse dalla litografia. Dopo la definizione della regione di gate flottante, il flusso di processo procede con la formazione del dielettrico interpoly, che permette la sigillatura del poly1, e di un secondo strato di silicio policristallino, detto poly2. La cella e' poi definita mediante tecniche standard di attacco e fotolitografia.

Tuttavia, questo processo presenta gli inconvenienti di una mancanza di ripetibilità della dimensione desiderata degli spacers in tutte le zone del die e su tutto il wafer, e di una elevata difettosità dovuta inevitabilmente alla lunga sequenza di deposizioni ed attacchi necessari prima a definire i sopraccitati spacers sacrificali e poi rimuoverli insieme con tutti gli altri strati diversi dal silicio policristallino costituente la regione di gate flottante.

Un altro processo noto - che richiama il precedente - per ridurre la dimensione dello spacing fra regioni di gate flottante consecutive sfrutta le proprietà di polimerizzazione dei materiali chimici di attacco. In accordo con questo processo, si depone un materiale organico sotto una resina fotosensibile che si espone con una opportuna radiazione in presenza di una maschera convenzionale così da definire le regioni di gate flottante. Si attacca quindi il materiale organico usando una chimica molto polimerizzante in modo da formare



una sorta di spaziatore (spacer) di polimero lungo le pareti del materiale organico stesso e quindi, allineandosi a detto spacer, si attacca di seguito il silicio policristallino, in modo da definire ripetibilmente uno spacing poly-poly di dimensioni minori rispetto a quelle litografiche.

5 Tuttavia, questo processo presenta diversi problemi legati alla sua fase essenziale di polimerizzazione. In particolare, la polimerizzazione è tale da lasciare residui di lavorazione che, specialmente nel caso si realizzino dimensioni molto inferiori a quelle conseguibili mediante litografia, possono poi causare corti circuiti tra regioni adiacenti di
10 floating gate durante il processo di definizione del silicio policristallino.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un processo per formare celle di memoria non volatili, avente caratteristiche tali da consentire la realizzazione di regioni di gate flottante estremamente ravvicinate, superando le
15 limitazioni che tuttora limitano i processi di fabbricazione secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di definire le regioni di gate flottante delle celle formando strisce
20 di materiale schermante solo al disopra di coppie di aree attive alternate, definendo dei distanziatori di ampiezza piccola a piacere a ridosso delle pareti laterali delle strisce così definite, definendo strisce di materiale schermante anche sulle aree attive che ne erano prive e completando la formazione delle floating gate lasciando agli spaziatori la
25 definizione della distanza tra le regioni di gate flottante.

Sulla base di tale idea di soluzione, il suddetto problema tecnico viene risolto da un processo secondo la rivendicazione 1 e seguenti.

Le caratteristiche e i vantaggi del processo secondo la presente invenzione risulteranno maggiormente evidenti dalla descrizione riportata qui di seguito di alcuni esempi di realizzazione data a titolo indicativo e non limitativo facendo riferimento ai disegni allegati.

Breve descrizione dei disegni

Nelle figure:

- la figura 1a illustra una vista schematica di una porzione di matrice di celle di memoria in un dispositivo elettronico di memoria integrato su semiconduttore;

- la figura 1b è una vista in sezione lungo la linea I-I di figura 1 di una cella di memoria convenzionale;

- la figura 1c è una vista in sezione lungo la linea II-II di figura 1 di una cella di memoria convenzionale;

- le figure da 2 a 5 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante un processo di fabbricazione di celle di memoria non volatile secondo l'arte nota,

- le figure da 6 a 11 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante una prima forma di realizzazione di un processo di fabbricazione di celle di memoria non volatile secondo l'invenzione,

- le figure da 12 a 18 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante una seconda forma di realizzazione di un processo di fabbricazione di celle di memoria non volatile secondo l'invenzione,

5 - le figure da 19 a 25 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante una terza forma di realizzazione di un processo di fabbricazione di celle di memoria non volatile secondo l'invenzione

Descrizione dettagliata

10 Le fasi di processo descritte di seguito non formano un flusso completo di processo per la fabbricazione di circuiti integrati. La presente invenzione può essere messa in pratica insieme alle tecniche di fabbricazione di circuiti integrati attualmente in uso nel settore, e sono incluse nella descrizione solo quelle fasi di processo comunemente
15 usate che sono necessarie per la comprensione della presente invenzione.

 Le figure che rappresentano viste schematiche o in sezione di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma solo schematicamente in modo da illustrare le
20 caratteristiche essenziali della presente invenzione. Nelle figure ad elementi strutturali identici o equivalenti dal punto di vista funzionale, verranno attribuiti gli stessi numeri di riferimento.

 Con riferimento alle figure da 6 a 11, viene ora descritto il processo per realizzare una cella 1 di memoria secondo una prima
25 forma di realizzazione dell'invenzione.

Su un substrato 2 vengono realizzate in maniera convenzionale una pluralità di aree attive nelle quali saranno realizzate le celle 1 di memoria separate tra loro da porzioni di uno strato di ossido di campo FOX. Sul substrato 2 vengono quindi formati in modo convenzionale un primo strato di dielettrico 3 denominato "Ossido di Tunnel" e un primo strato 4 di silicio policristallino detto POLY1 costituente la gate flottante.

Questo primo strato 4 di silicio policristallino dello spessore di circa 50-150 nm viene ad esempio formato mediante LPCVD (Low Pressure Chemical Vapor Deposition). Il primo strato 4 di silicio policristallino viene eventualmente drogato per ridurne la resistività, p.e. con un impianto di fosforo o di arsenico oppure in situ aggiungendo fosfina o un altro gas appropriato all'ambiente di deposizione.

Il processo prosegue con la deposizione di un sottile strato 7 di materiale dielettrico ovvero di ossido di interpolio sul primo strato 4 di silicio policristallino e quindi con la deposizione di un secondo strato 8 di silicio policristallino, detto POLY2 sul sottile strato 7 di ossido di interpolio.

La deposizione del sottile strato di ossido 7 di interpolio può avvenire mediante tecniche CVD (Chemical Vapor Deposition), nel qual caso lo spessore di tale strato sottile 7 è di 5-30 nm, oppure con la deposizione di una struttura stratificata di tipo ONO. Il secondo strato 8 di silicio policristallino presenta invece uno spessore simile o maggiore di quello del primo strato 4 di silicio policristallino, solitamente circa 150-350 nm.



Si procede quindi a definire le regioni di gate flottante delle celle 1. Per questo scopo, il secondo strato 8 di silicio policristallino viene definito con una opportuna maschera di definizione in modo da lasciare strisce 10 del secondo strato 8 di silicio policristallino su coppie
5 di aree attive -delimitate ciascuna da due porzioni di ossido di campo Fox, - alternate da un'area attiva su cui non viene lasciata alcuna striscia del secondo strato 8 di silicio policristallino (figura 6).

La definizione viene realizzata deponendo uno strato 6 di resist sul secondo strato 8 di silicio policristallino e quindi mediante
10 tecniche litografiche convenzionali, impressionando e sviluppando lo strato 6 di resist in modo da esporre porzioni del secondo strato 8 di silicio policristallino di una prima ampiezza D.

Con un attacco selettivo, ad esempio un attacco al plasma, vengono quindi definite le strisce 10 di silicio poliscristallino nella
15 disposizione sopra indicata distanziate tra di loro mediante aperture con ampiezza pari alla prima ampiezza D.

Il processo secondo l'invenzione ora prosegue con la deposizione di un film o strato 11 di materiale selettivo (ad esempio di nitruro di silicio) selettivamente rispetto allo strato 7 di ossido interpoly
20 e al secondo strato 8 di silicio policristallino e di spessore E, generalmente con tecniche LPCVD (figura 7). In tal modo, risultano definite aperture tra le strisce 10 di silicio policristallino aventi una seconda ampiezza pari a $F=D-2E$. Poiché lo spessore di questo film di materiale selettivo determina la dimensione finale della spaziatura poly-
25 poly il suo valore può variare a seconda delle richieste del processo;

tipicamente si colloca fra 20 nm e 120 nm.

Regolando lo spessore del film di materiale selettivo 11, si regola, come verrà mostrato chiaramente in seguito, l'ampiezza della spaziatura tra le regioni di gate flottante FG, scendendo ben al di sotto
5 delle minime dimensioni litografiche che è possibile raggiungere con le tecniche convenzionali.

A questo punto, lo strato di materiale selettivo 11 subisce quindi un attacco anisotropo in modo da formare uno spacer 12
accanto alle pareti delle strisce 10 di silicio policristallino (figura 8) . Lo
10 strato di ossido 7 funge da stopping layer per l'attacco dry dello strato di materiale selettivo.

E' importante che lo spacer 12 di materiale selettivo in sezione abbia una forma rettangolare (figura 9). Dato che la forma di questo spacer 12 sarà la stessa dello spazio fra le regioni di gate flottante FG,
15 bisogna evitare di avere un profilo obliquo pericoloso perché potrebbe generare residui negli attacchi successivi.

Al fine di raggiungere questo risultato, il processo secondo l'invenzione prosegue ora deponendo con le tecniche sopra descritte un terzo strato 13 di silicio policristallino avente uno spessore di 200-400
20 nm (figura 8). Successivamente, il terzo strato 13 di silicio policristallino viene planarizzato mediante CMP oppure etch back (figura 9) fino ad uno spessore di circa 70-80 nm (inferiore rispetto allo spessore del primo strato 4 di silicio policristallino e dello spacer 12 così come schematizzato in figura 8). Lo spacer 12 di materiale selettivo rimasto
25 (figura 9) viene quindi rimosso selettivamente con un attacco dry, o più

semplicemente mediante un attacco umido in soluzione di acido fosforico, e lo strato 7 di ossido interpoly sottostante con un attacco dry fino ad esporre porzioni del primo strato 4 di silicio policristallino (figura 10).

5 Il secondo strato 10 e il terzo strato 13 di silicio policristallino così modellati vengono quindi a costituire una maschera (hard mask) e si consumano durante il successivo attacco del primo strato 4 di silicio policristallino per definire la regione di gate flottante FG . Anche in questo caso, lo strato 7 di ossido viene usato come stopping layer
10 dell'attacco in modo da non danneggiare la superficie della regione di gate flottante FG e permettere un prolungato overetch per eliminare eventuali residui; esso viene rimosso a fine attacco con un attacco dry o in umido, qualora non lo si voglia usare come parte del dielettrico interpoly (figura 11).

15 Con questa sequenza di processo le limitazioni litografiche del processo secondo la tecnica nota precedentemente descritto vengono brillantemente superate definendo strisce a dimensione fissata e ad una distanza reciproca D molto maggiore della litografia minima disponibile.

20 Con riferimento alle figure da 12 a 18, viene ora descritto il processo secondo una seconda forma di realizzazione dell'invenzione.

In accordo con tale processo, viene depositato uno primo strato 16 di ossido drogato (ad esempio PSG) sul primo strato 4 di silicio policristallino mediante tecniche CVD.

25 Lo spessore del primo strato 16 di ossido drogato è compreso tra 30 e 150 nm.

Si procede quindi a definire il primo strato 16 di ossido drogato con una opportuna maschera di definizione in modo da lasciare strisce 18 del primo strato 16 di ossido drogato su coppie di aree attive - delimitate ciascuna da due porzioni di ossido di campo Fox - alternate da un'area attiva su cui non viene lasciata alcuna striscia del primo strato 16 di ossido drogato (figura 13) .

La definizione viene realizzata deponendo uno strato 6 di resist sul primo strato 16 di ossido drogato e quindi mediante tecniche litografiche convenzionali, impressionando e sviluppando lo strato 6 di resist in modo da esporre porzioni del primo strato 16 di ossido drogato di una prima ampiezza D (figura 12).

Con un attacco selettivo, ad esempio un attacco al plasma vengono quindi definite le strisce 18 di ossido drogato nella disposizione sopra indicata distanziate tra di loro mediante aperture con ampiezza pari alla prima ampiezza D.

Il processo secondo l'invenzione ora prosegue con la deposizione di un film o strato 11 di materiale selettivo (ad esempio di nitruro di silicio) rispetto al primo strato 16 di ossido drogato e al primo strato 4 di silicio policristallino e di spessore E, generalmente con tecniche LPCVD (figura 13). In tal modo, risultano definite aperture tra le strisce 18 di ossido drogato aventi una seconda ampiezza pari a $F=D-2E$. Poiché lo spessore di questo film o strato di materiale selettivo determina la dimensione finale della spaziatura poly-poly il suo valore può variare a seconda delle richieste del processo; tipicamente si colloca fra 20 nm e 120 nm.



Variando lo spessore dello strato 11 di materiale selettivo, si regola, come verrà mostrato chiaramente in seguito, l'ampiezza della spaziatura tra le regioni di gate flottante FG, scendendo ben al di sotto delle minime dimensioni litografiche che è possibile raggiungere con le
5 tecniche convenzionali.

A questo punto, lo strato 11 di materiale selettivo subisce quindi un attacco anisotropo in modo da formare uno spacer 12 accanto alle pareti delle strisce 18 di ossido drogato (figura 14) .

Il processo secondo l'invenzione prosegue quindi deponendo
10 con le tecniche sopra descritte un secondo strato 19 di ossido drogato avente uno spessore di 200-300 nm (figura 14). Successivamente, il secondo strato 19 di ossido drogato viene planarizzato mediante CMP oppure etch back (figura 15) fino ad uno spessore di circa 30-50 nm (inferiore rispetto allo spessore del primo strato 4 di polisilicio cristallino
15 e dello spacer 12 così come schematizzato in figura 15).

Lo spacer 12 di materiale selettivo rimasto viene quindi rimosso selettivamente con un attacco dry, o più semplicemente mediante un attacco umido in soluzione di acido fosforico (figura 16).

Il primo strato 18 e il secondo strato 19 di ossido drogato così
20 modellati vengono quindi a costituire una maschera (hard mask) e servono da protezione durante il successivo attacco del primo strato 4 di silicio policristallino, la cui chimica di attacco è fortemente selettiva rispetto all'ossido di silicio (figura 17) . In tal modo è possibile definire in modo accurato la regione di gate flottante FG . Alla fine dell'attacco
25 del primo strato 4 di silicio policristallino, il primo strato 18 e il secondo

strato 19 di ossido drogato vengono rimossi mediante attacco con una soluzione di acido fluoridrico (HF). Poiché la velocità di attacco dell'ossido drogato è diverse volte più alta di quella relativa all'ossido non drogato, quando il film di PSG è stato completamente rimosso
5 l'ossido di isolamento viene consumato durante questa operazione in una quantità trascurabile (figura 18).

Con riferimento alle figure da 19 a 25, viene ora descritto il processo per realizzare una cella 1 di memoria secondo una terza forma di realizzazione dell'invenzione.

10 Su un substrato 2 vengono realizzate in maniera convenzionale una pluralità di aree attive nelle quali saranno realizzate le celle 1 di memoria separate tra loro da porzioni di uno strato di ossido di campo FOX. Sul substrato 2 vengono quindi formati in sequenza un primo strato di dielettrico 3 denominato "Ossido di Tunnel",
15 un primo strato 4 di silicio policristallino detto POLY1 costituente la gate flottante, uno strato 7 di ossido e un secondo strato 8 di silicio policristallino 8.

Il primo strato 4 e il secondo strato 8 di silicio policristallino vengono depositi mediante tecnica LPCVD e presentano ciascuno uno
20 spessore di 50-250 nm.

Lo strato 7 di ossido viene depositato mediante tecniche LPCVD (ad esempio da TEOS o secondo la tecnica HTO) e presenta uno spessore di 10-20 nm.

Si procede quindi a definire il secondo strato 8 di silicio
25 policristallino con una opportuna maschera di definizione in modo da

lasciare strisce 10 del secondo strato 8 di silicio policristallino su coppie di aree attive (delimitate ciascuna da porzioni di ossido di campo Fox) alternate da un'area attiva su cui non viene lasciata alcuna striscia del secondo strato 8 di silicio policristallino (figura 19).

5 La definizione viene realizzata deponendo uno strato 6 di resist sul secondo strato 8 di silicio policristallino e quindi mediante tecniche litografiche convenzionali, impressionando e sviluppando lo strato 6 di resist in modo da esporre porzioni del secondo strato 8 di silicio policristallino di una prima ampiezza D.

10 Con un attacco selettivo, ad esempio un attacco al plasma vengono quindi definite le strisce 10 di silicio policristallino nella disposizione sopra indicata distanziate tra di loro mediante aperture con ampiezza pari alla prima ampiezza D.

15 Il processo secondo l'invenzione ora prosegue con la deposizione di un film o strato 11 di materiale selettivo (ad esempio di nitruro di silicio) rispetto allo strato 7 di ossido e al secondo strato 8 di silicio policristallino e di spessore E, generalmente con tecniche LPCVD (figura 20). In tal modo, risultano definite aperture tra le strisce 10 di silicio policristallino aventi una seconda ampiezza pari a $F=D-2E$. Lo
20 spessore di questo film di materiale selettivo determina la dimensione finale della spaziatura poly-poly.

 A questo punto, il film di materiale selettivo subisce quindi un attacco anisotropo in modo da formare uno spacer 12 accanto alle pareti delle strisce 10 di silicio policristallino (figura 21) . Lo strato di
25 ossido 7 funge da stopping layer per l'attacco dry del film selettivo.

Le strisce 10 di silicio policristallino vengono quindi rimosse con un attacco dry o in soluzione umida (ad esempio a base di HF) così da lasciare solo gli spacer 12 di materiale selettivo.

Si procede ora a far crescere uno strato 22 di ossido termico dello spessore di 30-50 nm nelle zone esposte del primo strato 4 di silicio policristallino, vale a dire non coperte dagli spacer 12 di materiale selettivo (figura 22). Questo processo di crescita viene effettuato in forno in un ambiente ricco di O₂ e H₂O ad una temperatura tra 700°C e 900°C.

Gli spacer 12 di materiale selettivo vengono ora rimossi selettivamente mediante un attacco umido con acido fosforico e il residuo strato 7 di ossido sottostante gli spacer 12 di materiale selettivo viene rimosso mediante un attacco wet (BOE o HF). La velocità di rimozione di un ossido cresciuto termicamente (lo strato 22) e di uno depositato per LPCVD (lo strato 7) è sensibilmente diversa; questo, insieme alla differenza di spessore tra i due strati, consente di rimuovere il sottile strato 7 di ossido sottostante gli spacer 12 di materiale selettivo senza consumare completamente lo strato 22 di ossido cresciuto sulle aree esposte del silicio policristallino (figura 23). Lo strato 22 di ossido così modellato è usato come maschera (hard mask) durante l'attacco del primo strato 4 di silicio policristallino sfruttando la selettività dell'attacco poly rispetto all'ossido (figura 24) e viene poi rimosso con un attacco preferibilmente in dry alla fine della definizione della regione di gate flottante (figura 25).

Nel processo secondo l'invenzione, dopo la definizione delle



regioni di gate flottante FG, il flusso di processo procede con la formazione del dielettrico interpoly, che permette la sigillatura del poly1, e del secondo strato di polisilicio, detto poly2. La cella viene poi definita mediante tecniche standard di attacco e fotolitografia.

5 Il principale vantaggio della presente invenzione risiede nella possibilità di dimensionare lo spacing poly-poly, anche al di sotto delle dimensioni minime conseguibili con la litografia, regolando esclusivamente lo spessore dello strato di nitrato di silicio depositato sopra il poly.

10 Questo permette un ottimo controllo dimensionale sia intra-wafer che intra-die.

15

RIVENDICAZIONI

1. Processo per fabbricare celle (1) di memoria non volatile su un substrato (2) semiconduttore, comprendente almeno le seguenti fasi:

5 - formare aree attive in detto substrato (2) semiconduttore, delimitate da porzioni di uno strato isolante (FOX);

 - formare un primo strato sottile (3) di ossido di tunnel e depositare un primo strato (4) di materiale conduttore su dette aree attive;

10 - definire una pluralità di regioni di gate flottante (FG), caratterizzato dal fatto che la definizione delle regioni di gate flottante (FG) comprende le fasi di:

 - formare una pluralità di strisce alternate (10, 18) di un primo materiale al di sopra di aree attive alternate da aree attive prive di strisce (10,18);

15 - formare distanziatori (12) di un secondo materiale a ridosso delle pareti laterali di dette strisce (10, 18), detto secondo materiale essendo attaccabile selettivamente rispetto a detto primo materiale,

20 - depositare uno strato (13,19) di un terzo materiale in modo da riempire lo spazio tra detti distanziatori (12),

 - planarizzare detto strato (13,19) di un terzo materiale unitamente a dette strisce alternate (10,18) e a detti distanziatori (12),

 - rimuovere selettivamente detti distanziatori (12) in modo da esporre porzioni di detto primo strato (4) di materiale semiconduttore,

25 - attaccare detto primo strato (4) di materiale semiconduttore

in modo da formare scanalature in corrispondenza delle sue porzioni esposte,

- rimuovere selettivamente dette strisce alternate (10,18) e detto strato (13,19) di un terzo materiale.

5 2. Processo secondo la rivendicazione 1, caratterizzato dal fatto che detto primo materiale e detto terzo materiale sono un materiale conduttore.

10 3. Processo secondo la rivendicazione 2, caratterizzato dal fatto che detta pluralità di strisce alternate (10,18) viene formata deponendo un secondo strato (8) di materiale conduttore e definendo detto secondo strato (8) di materiale conduttore mediante litografia.

15 4. Processo secondo la rivendicazione 3, caratterizzato dal fatto che tra detto primo strato (4) di materiale semiconduttore e detto secondo strato (8) di materiale semiconduttore è interposto uno strato sottile (7) di ossido.

20 5. Processo secondo una qualunque delle precedenti rivendicazioni, caratterizzato dal fatto che detto secondo materiale è nitruro di silicio e dal fatto che la formazione di detti distanziatori (12) a ridosso delle pareti laterali di dette strisce alternate (10,18) comprende la deposizione di uno strato (11) di nitruro di silicio che viene modellato mediante un attacco anisotropo.

 6. Processo secondo la rivendicazione 1, caratterizzato dal fatto che detto primo materiale e detto terzo materiale sono ciascuno un ossido.

25 7. Processo secondo la rivendicazione 6, caratterizzato dal

fatto che detta pluralità di strisce alternate (10,18) viene formata deponendo un primo strato (16) di ossido e definendo detto primo strato (16) di ossido mediante litografia.

8. Procedimento secondo la rivendicazione 7, caratterizzato dal fatto che detto secondo materiale è nitruro di silicio e dal fatto che la formazione di detti distanziatori (12) a ridosso delle pareti laterali di dette strisce alternate (10,18) comprende la deposizione di uno strato (11) di nitruro di silicio che viene modellato mediante un attacco anisotropo.

9. Processo per fabbricare celle (1) di memoria non volatile su un substrato (2) semiconduttore, comprendente almeno le seguenti fasi:

- formare aree attive in detto substrato (2) semiconduttore, delimitate da porzioni di uno strato isolante (FOX);

- formare un primo strato sottile (3) di ossido di tunnel e depositare un primo strato (4) di materiale conduttore su dette aree attive;

- definire una pluralità di regioni di gate flottante (FG), caratterizzato dal fatto che la definizione delle regioni di gate flottante (FG) comprende le fasi di:

- formare una pluralità di strisce alternate (10) di un primo materiale al di sopra di aree attive alternate da aree attive prive di strisce (10);

- formare distanziatori (12) di un secondo materiale a ridosso delle pareti laterali di dette strisce alternate (10), detto secondo materiale essendo attaccabile selettivamente rispetto a detto primo



materiale,

- rimuovere selettivamente detta pluralità di strisce alternate

(10),

- depositare uno strato (22) di un terzo materiale tra detti

5 distanziatori (12),

- rimuovere selettivamente detti distanziatori (12) in modo da esporre porzioni di detto primo strato (4) di materiale semiconduttore,

- attaccare detto primo strato (4) di materiale semiconduttore in modo da formare scanalature in corrispondenza delle sue porzioni

10 esposte,

- rimuovere selettivamente detto strato (22) di un terzo materiale.

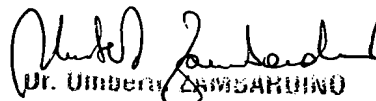
15 10. Processo secondo la rivendicazione 9, caratterizzato dal fatto che detto primo materiale e detto terzo materiale sono rispettivamente un materiale conduttore e un ossido fatto crescere termicamente .

20 11. Processo secondo la rivendicazione 10, caratterizzato dal fatto che detta pluralità di strisce alternate (10) viene formata deponendo un secondo strato (8) di materiale conduttore e definendo detto secondo strato (8) di materiale conduttore mediante litografia.

12. Processo secondo la rivendicazione 11, caratterizzato dal fatto che tra detto primo strato (4) di materiale conduttore e detto secondo strato (8) di materiale conduttore è interposto uno strato sottile (7) di ossido.

25 13. Procedimento secondo una qualunque delle rivendicazioni

da 9 a 12, caratterizzato dal fatto che detto secondo materiale è nitruro di silicio e dal fatto che la formazione di detti distanziatori (12) a ridosso delle pareti laterali di dette strisce alternate (10) comprende la deposizione di uno strato (11) di nitruro di silicio che viene modellato
5 mediante un attacco isotropo.


Dr. Umberto ZAMBARDINO
N. Iscriz. ALBO 862B
(in proprio e per gli altri)



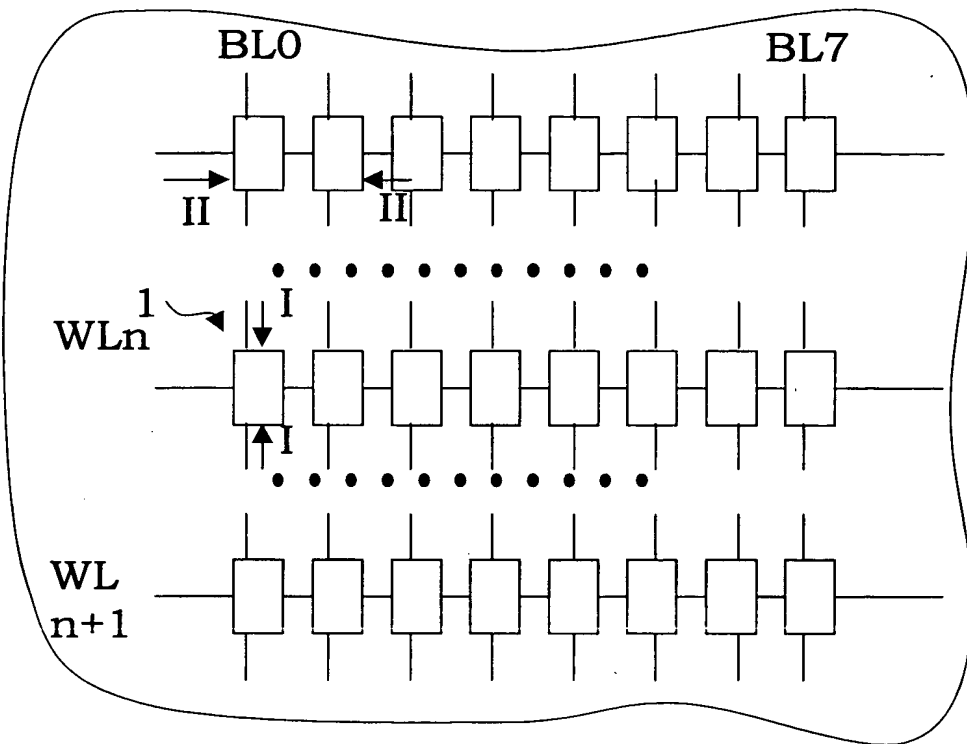


FIG. 1a

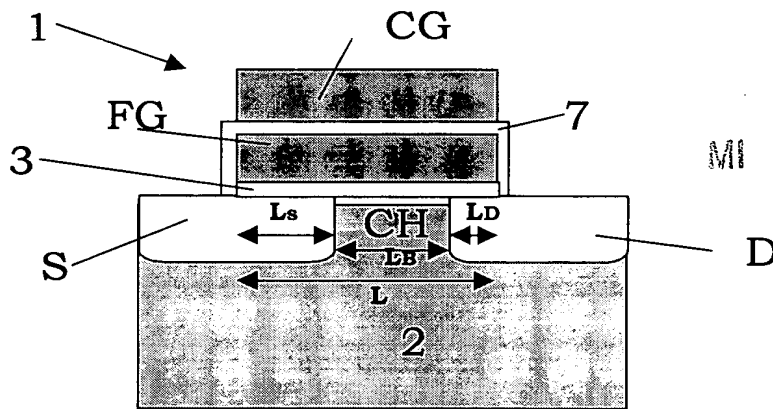


FIG. 1b

MI 2002A 002784

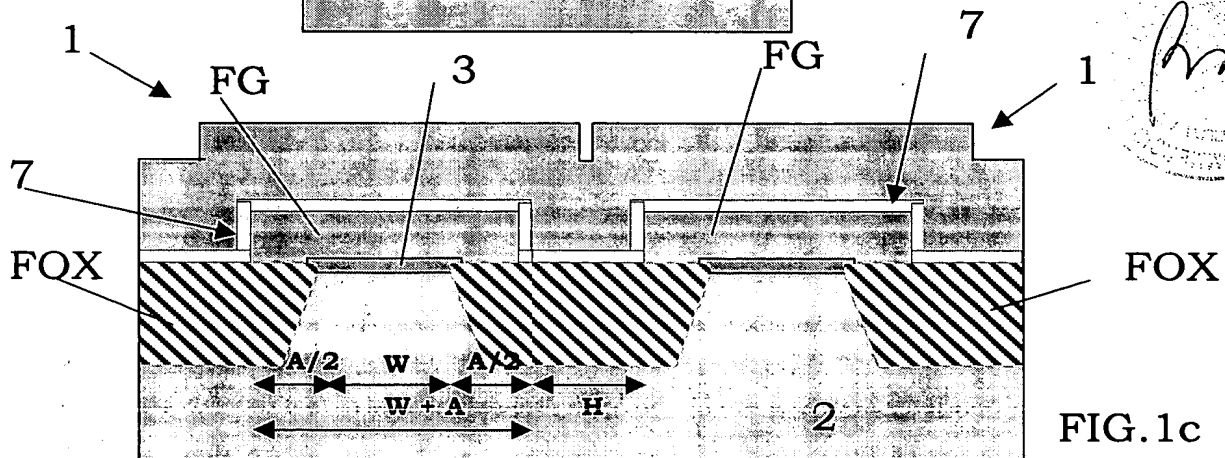


FIG. 1c

Dr. Umberto ZAMBARDINO

N. Iscriz. ALBO 862B

(in proprio e per gli altri)

Umberto Zambardino

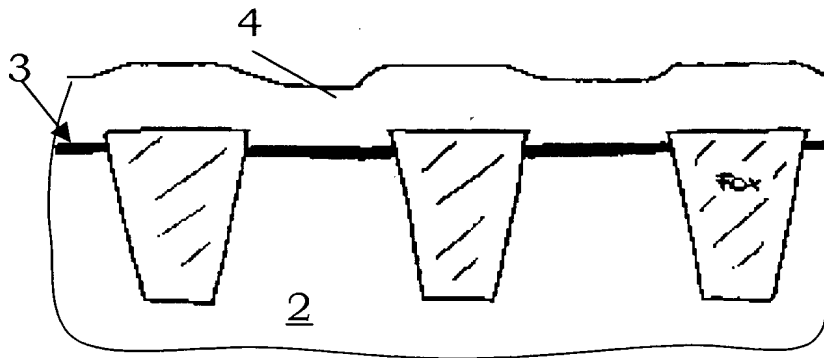


FIG. 2

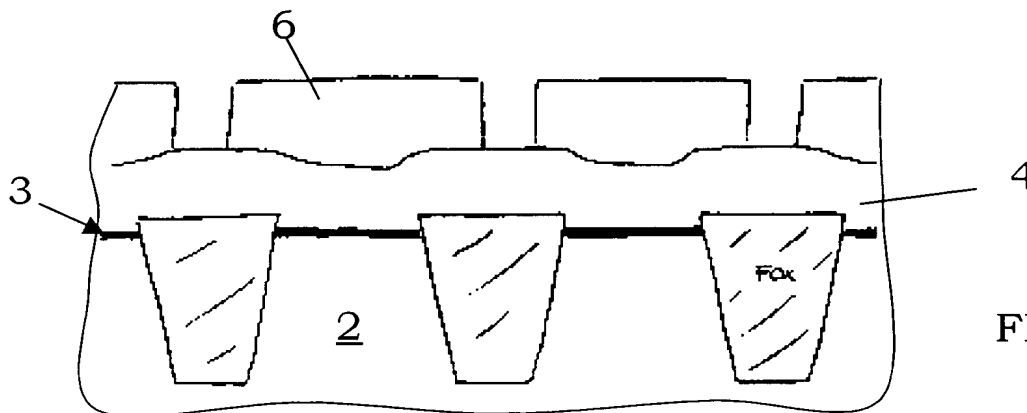


FIG. 3

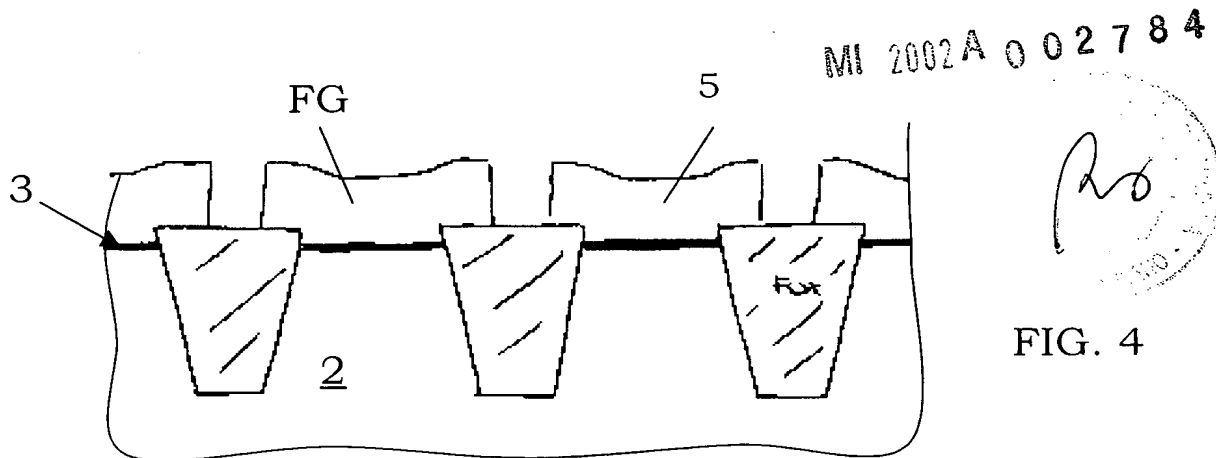


FIG. 4

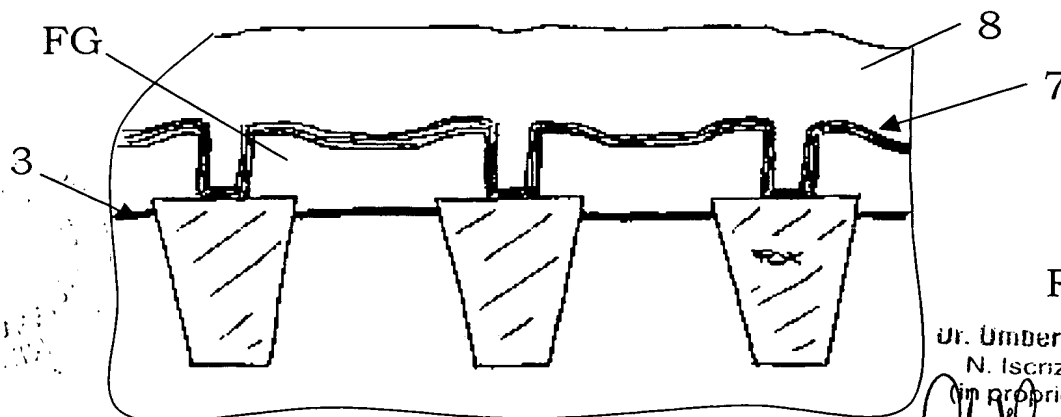
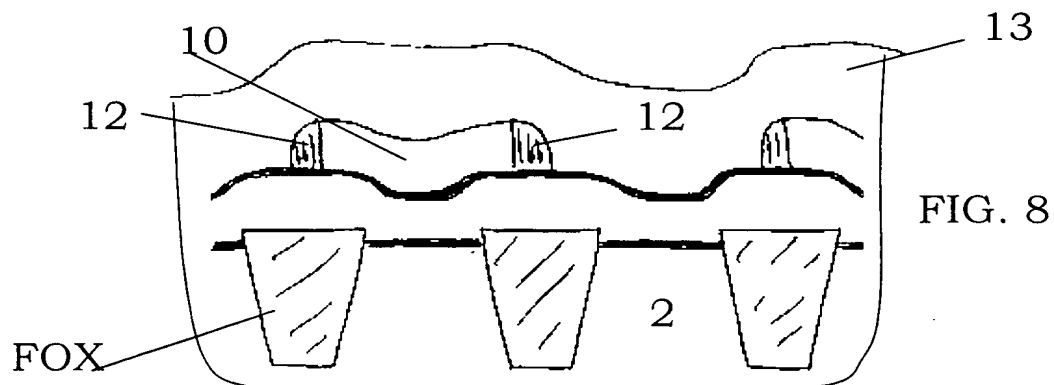
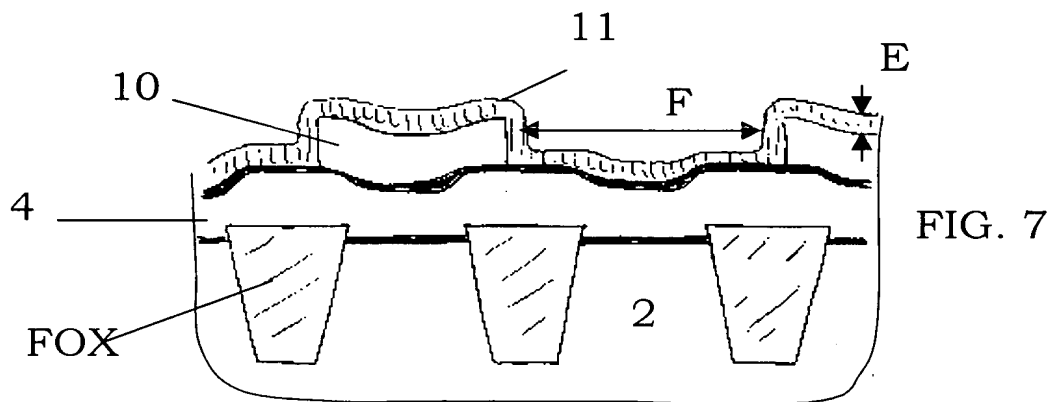
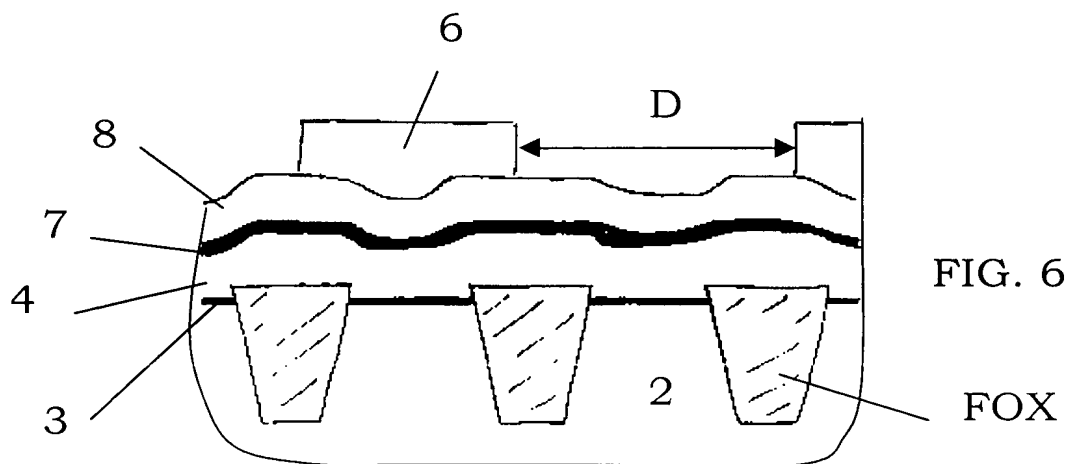


FIG. 5

Dr. Umberto ZAMBARDINO
N. Iscriz. ALBO 862B
(in proprio e per gli altri)

(Handwritten signature)



Dr. Umberto ZAMBARDINO
N. Iscriz ALBO 862B
(in proprio e per gli altri)

Umberto Zambardino

MI 2002A 002784



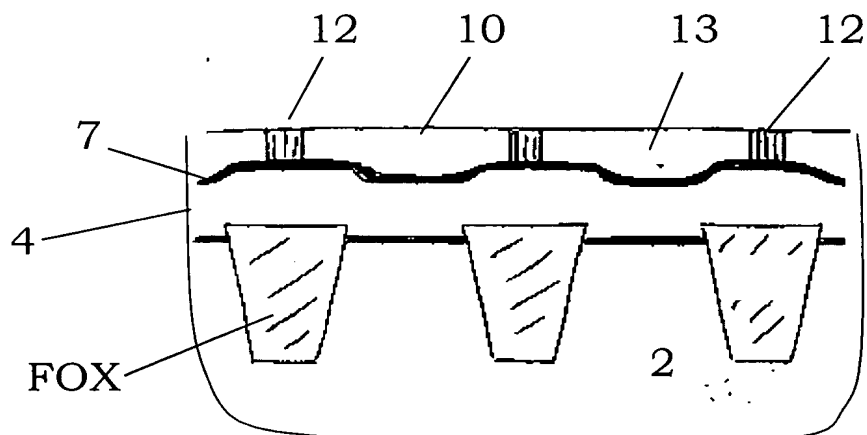


FIG. 9

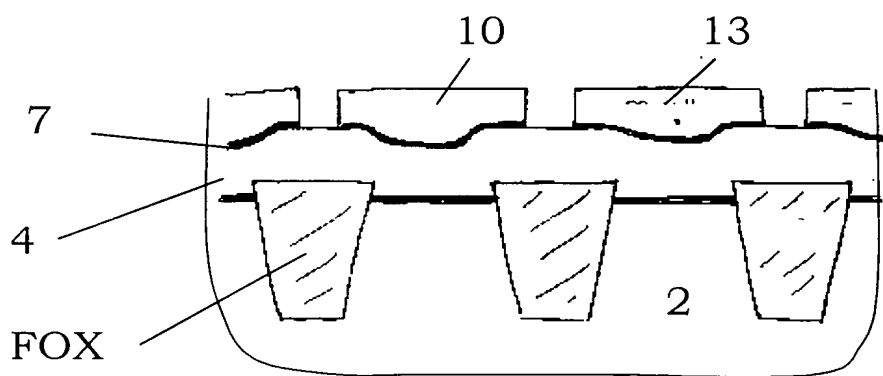


FIG. 10

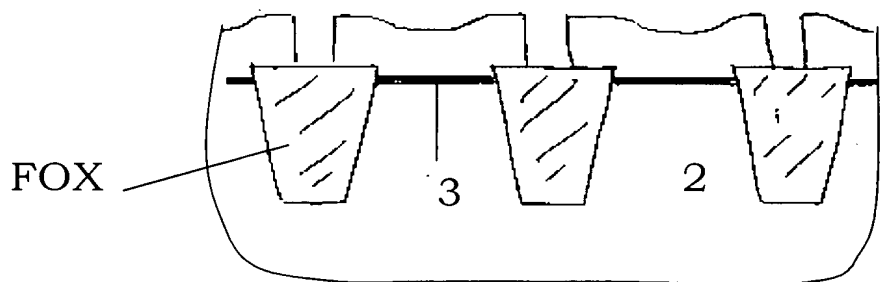
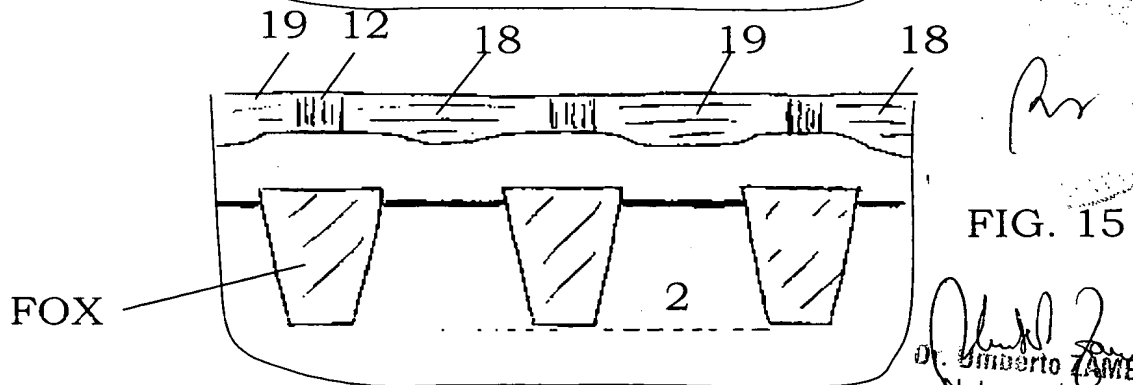
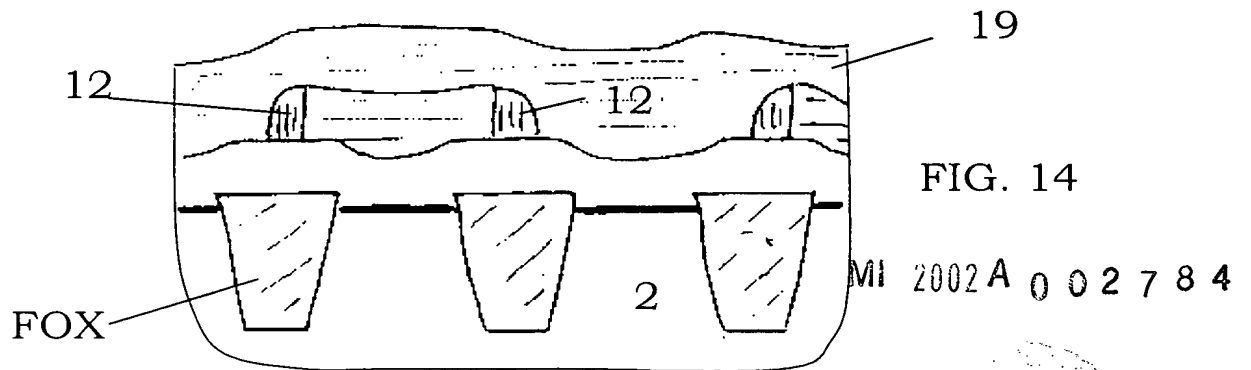
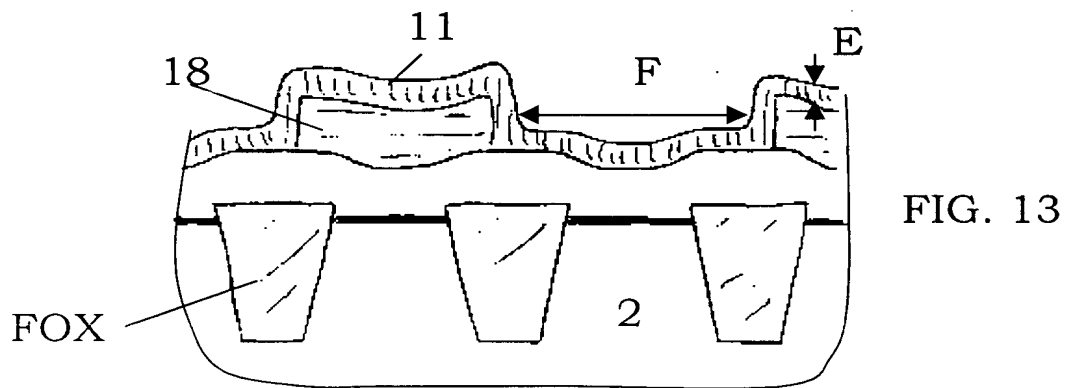
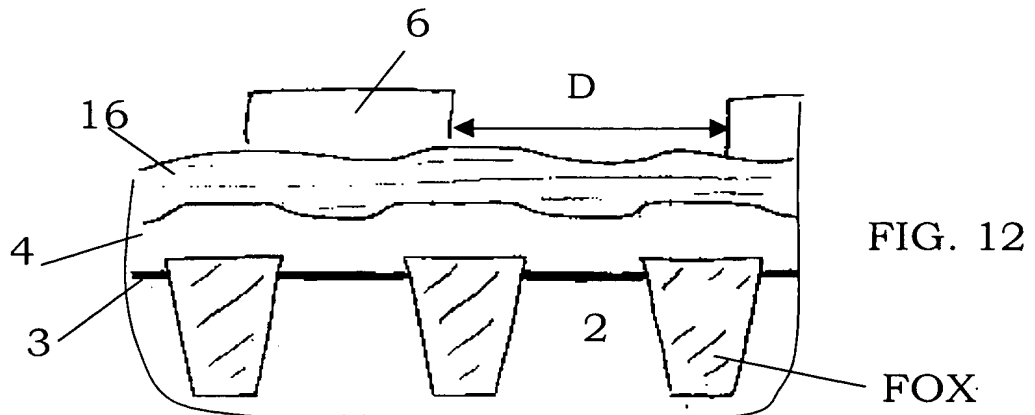


FIG. 11

Umberto Zambardino
 Dr. Umberto ZAMBARDINO
 N. Iscriz. ALBO 862B
 (in proprio e per gli altri)



MI 2002 A 002784



Dr. Umberto ZAMBARDINO
N. Iscriz. ALBO 862B
(in proprio e per gli altri)

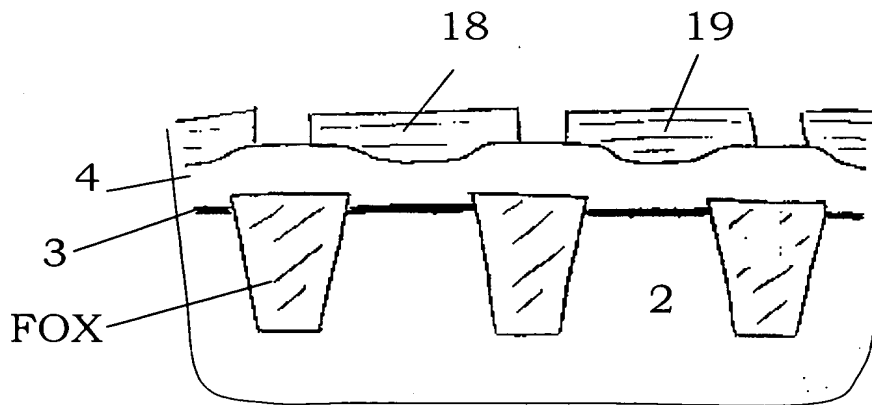
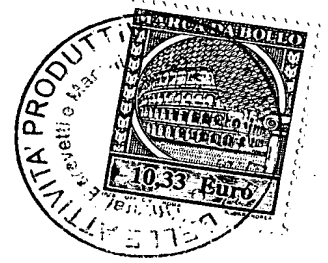


FIG. 16

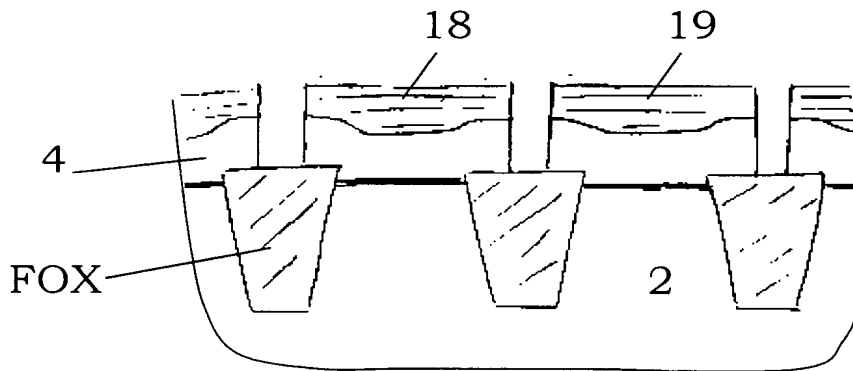


FIG. 17

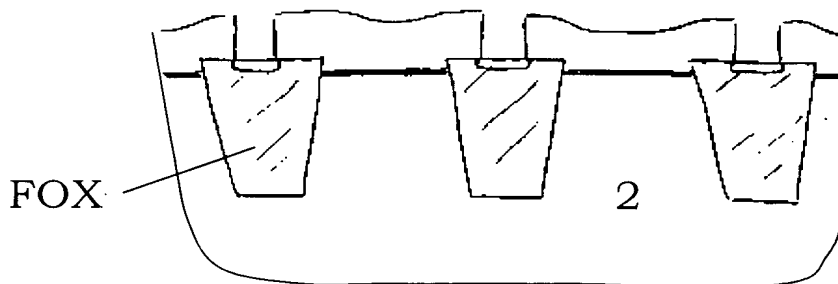
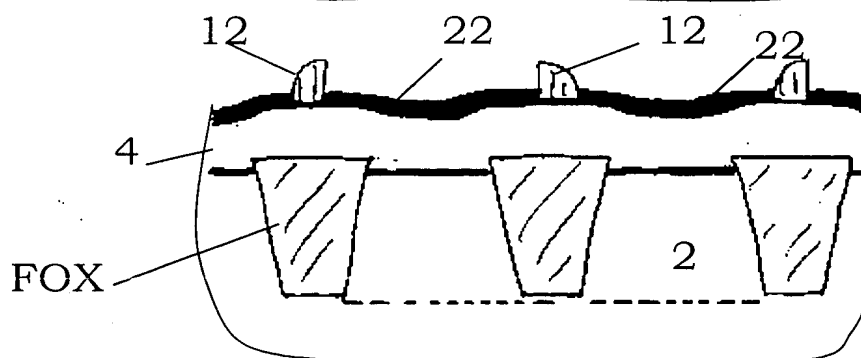
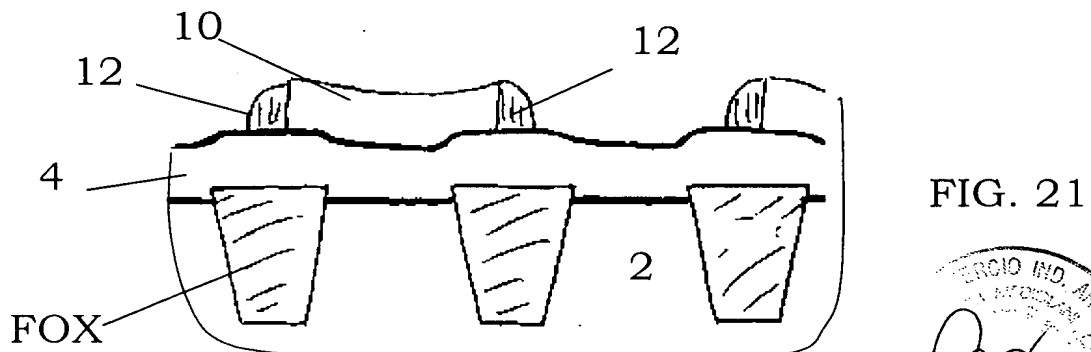
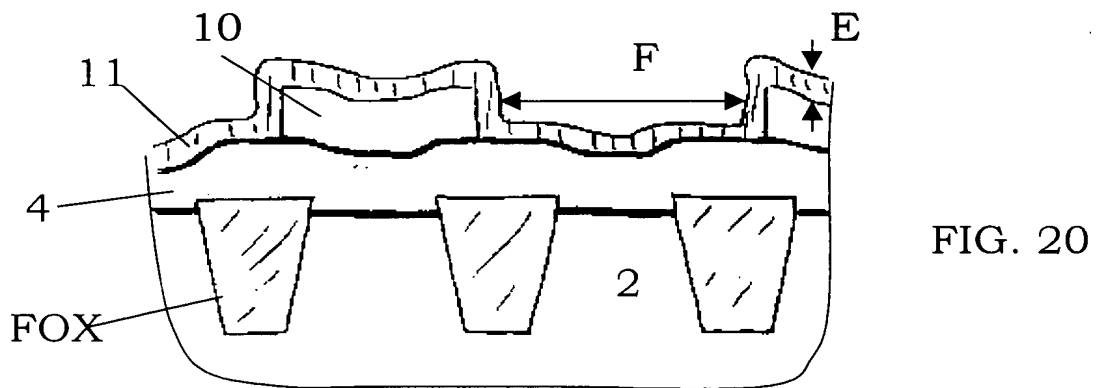
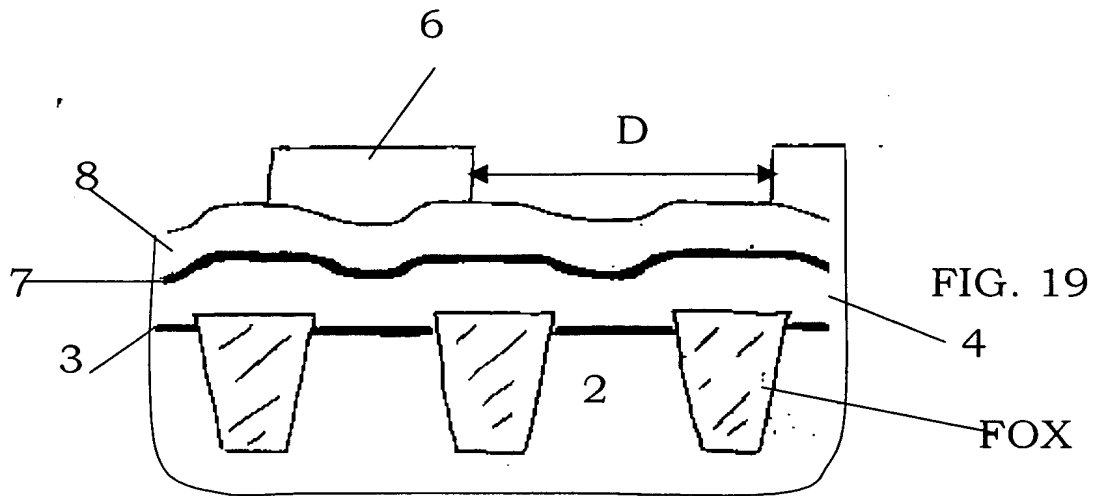


FIG. 18

MI 2002 A 0 0 2 7 8 4

Umberto Zambardino
 Dr. Umberto ZAMBARDINO
 N. Iscriz. ALBO 862B
 (in proprio e per gli altri)





Dr. Umberto ZAMBARDINO
N. Iscriz. ALBO 862B
(in proprio e per gli altri)

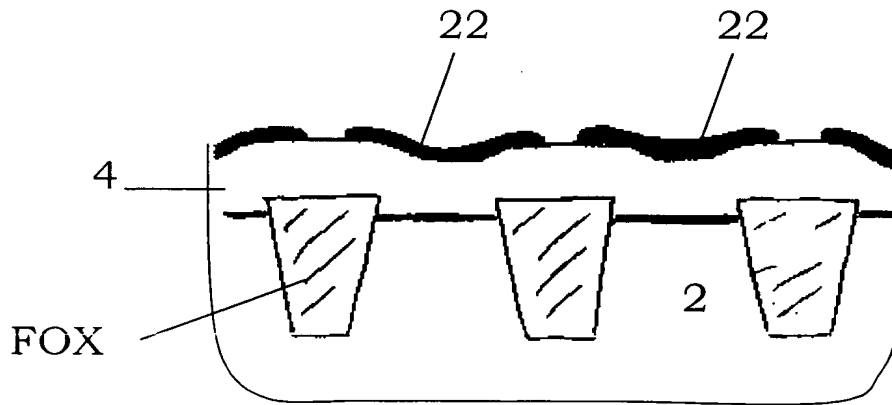


FIG. 23

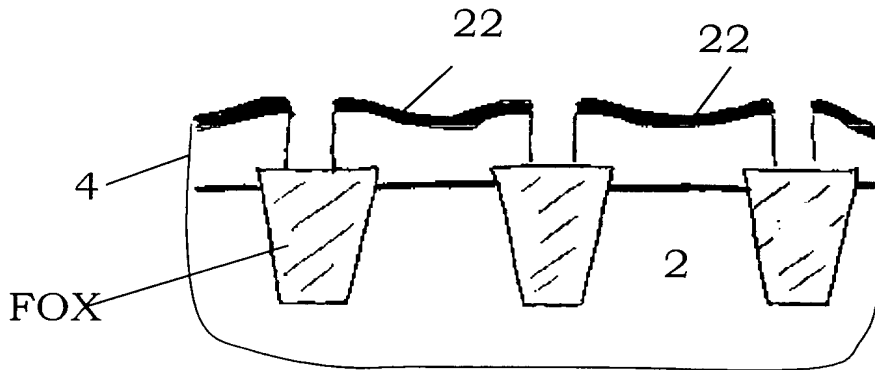


FIG. 24

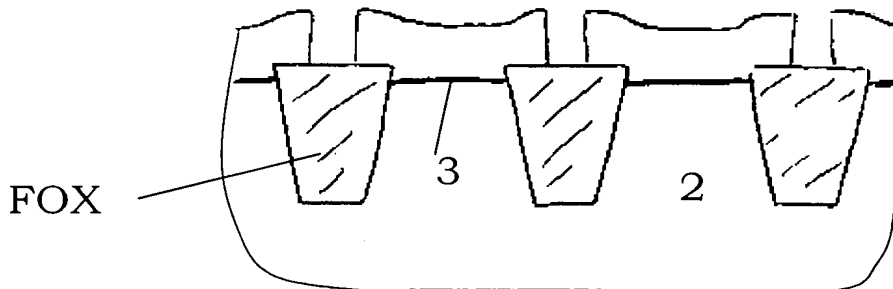


FIG. 25



Dr. Umberto ZAMBARDINO
N. Iscriz. ALBO 862B
(in proprio e per gli altri)

MI 2002A 002784